

PROBLEMAS DE ESTRUCTURA DE COMPUTADORES

MEMORIA VIRTUAL

Memoria Virtual - Problemas básicos

1. Sea un computador con una memoria virtual paginada y memoria cache con las siguientes características:
 - Un procesador que genera direcciones de 20 bits
 - Una memoria física de 128 KB y páginas de 32 KB. Reemplazamiento LRU
 - Una memoria cache de datos de direcciones físicas de 1 KB. La memoria es de acceso directo con 256 B por bloque.

Sobre esta jerarquía se ejecuta una aplicación que selecciona aleatoriamente una canción dentro de una base de datos de canciones. Cada canción ocupa 8 KB y sus direcciones de comienzo están indicadas en la siguiente tabla:

Canción	1	2	3	4	5	6
Dirección	0x50000	0xF4000	0x66000	0x12000	0x40000	0x36000

Se pide:

- a) Indicar el formato de la dirección virtual y de la dirección física, esta última desde el punto de vista de la memoria virtual y de la memoria cache.
- b) Indicar en qué página (o páginas) virtuales está ubicada cada canción.
- c) Si en un momento dado el contenido de la TLB y de la memoria cache de datos es el indicado en las tablas que se muestran a continuación, ¿cuáles han sido las últimas canciones escuchadas? ¿Cuál es el rango de direcciones físicas de cada una de ellas?

Nº pag. virtual	Nº pag. física	Etiqueta	Bloque
0x0A	1	0x70	0
0x0C	2	0x27	1
0x02	0	0x27	2
0x1E	3	0x27	3
TLB		CACHE	

- d) Supongamos que a continuación se genera la siguiente cadena de referencias virtuales: 0xF40F5, 0x66000, 0x40040 y 0x51D04. Indicar si se producen fallos o aciertos de cache y fallos de página, mostrando cómo evolucionan los contenidos de la memoria principal y de la memoria cache

- 2) Sea una memoria cache de emplazamiento directo virtualmente accedida físicamente marcada cuyo formato de dirección es el siguiente:

Formato dir cache		
Cache tag	Cache index	Byte select
63:4	3:2	1:0

- a) ¿Cuál es el tamaño de esta memoria cache?
- b) ¿Cuál es el tamaño de las páginas de la memoria virtual?
- c) ¿Cómo se podría doblar el tamaño de la memoria cache sin modificar el formato de la dirección?

- 3) Sea un sistema de memoria con las siguientes características:

Memoria virtual paginada de 16MB, política de emplazamiento LRU

Tamaño de página 4KB

Memoria principal con 32KB

Memoria cache de direcciones físicas 8Kbytes, con bloques de 64 bytes, asociativa por conjuntos con 2 bloques/cjtos, política LRU

Tabla de paginas asociativa		
Nº pagina	Nº de marco	Último acceso
100	0	0
101	1	1
200	2	2
201	3	3
300	4	4
301	5	5
400	6	6
401	7	7

a) Indicar el formato de la dirección virtual y de la dirección física, esta última desde el punto de vista de la memoria virtual y de la memoria cache.

Se desea acceder ejecutar el siguiente código:

```
int A[16384];

for (i=0; i<16384; i++)
    red+= A[i];
```

Suponiendo que A está almacenado consecutivamente en la dirección virtual 0x100000 y que la variable **red** está almacenada en un registro y únicamente se lleva a memoria al finalizar la ejecución del bucle

- b) ¿Cuántas páginas de memoria virtual se visitan? ¿Cuáles son?
 c) Razonar el número de aciertos y fallos de página que se producen.

Memoria Virtual

- 4) Sea una memoria cache asociativa virtualmente accedida físicamente marcada de 2^n bytes y grado de asociatividad 8 que utiliza direcciones de 32 bits. Sabiendo que la memoria principal se divide en bloque de 4 bytes y que el bus de direcciones virtuales y direcciones reales tiene el mismo tamaño.
- a) ¿Cuántas páginas tiene un proceso virtual?
 b) ¿Cuántos bytes tiene una página?
 c) ¿Cuántos bloques tiene una página?
- 5) Sea un computador con memoria virtual paginada y memoria cache con las características siguientes:
- Memoria virtual de 32 páginas de 8 KB cada una, con traducción asociativa y reemplazamiento LRU
 - Memoria física de 32 KB
 - Memoria cache de direcciones físicas de 512 bytes, asociativa por conjuntos, con bloques de 128 bytes, 2 bloques por conjunto y reemplazamiento LRU.
 - La política de actualización de la memoria principal es escritura directa sin asignación en escritura
- a) Indicar el formato de la dirección virtual y de la dirección física, esta última desde el punto de vista de la memoria virtual y de la memoria cache.
 b) Si en un momento dado los contenidos de la tabla de páginas y de la cache son los siguientes:

Tabla de páginas asociativa		Etiquetas en la cache		
Nº de página	Nº de marco	Etiqueta	Conjunto	Vía
06	3	23	0	0
01	0	47	0	1
04	2	73	1	0
0C	1	08	1	1

Expresar en hexadecimal el rango de direcciones virtuales y físicas ubicadas en cada marco de página de la memoria principal, así como el rango de direcciones virtuales y físicas ubicadas en cada bloque de la memoria cache.

- c) Supongamos que un programa realiza la siguiente cadena de referencias virtuales (en hexadecimal): 08770, 02080-0209F, 02880-0289F, 0D3F0-0D410, 27000-2701F. Calcular el tiempo total de acceso a memoria para satisfacer esa cadena de referencias, suponiendo que inicialmente los contenidos de la cache son los que se muestran en la tabla anterior. Indicar claramente cómo evolucionan los contenidos de la memoria principal y de la memoria cache (indicando las direcciones virtuales que se ubican en cada bloque y los cambios en las etiquetas), cuando se realiza la cadena de referencias anterior.

- 6) Sea un sistema de memoria con las siguientes características:
 - Memoria virtual paginada de 4GB, política de emplazamiento LRU

- Tamaño de página 2KB
- Memoria principal con 13 bits para la dirección
- Memoria cache de direcciones físicas 2048 bytes, con bloques de 256 bytes, asociativa por conjuntos con 4 bloques/ cjtto, política LRU

- Indicar el formato de la dirección virtual y de la dirección física, esta última desde el punto de vista de la memoria virtual y de la memoria cache.
- Se desea acceder a las siguientes direcciones: 55118FF8; 0A000000 y 11281276. Indicad si se produce algún fallo en la gestión de la memoria y los valores de las tablas al finalizar el acceso a cada una de las direcciones. Además indicar en los casos de fallo de página los bloques de memoria cache que se invalidarían.
- Si el computador accede a la dirección FFA34500 indicar el rango de direcciones correspondientes a su página en memoria virtual, el rango de direcciones correspondiente a su marco de página en memoria principal, el rango de direcciones correspondientes a su bloque en memoria principal y el rango de direcciones correspondientes a su marco de bloque en memoria cache (rango: dirección de comienzo y final de un conjunto). Las tablas se mantienen con los valores obtenidos a la finalización del apartado b.

Nº de página	Marco	Edad	Conjunto	M.Bloque	Etiqueta	Edad
000001	0	0	0	0	F	0
1B0000	1	1		1	0	2
0AA231	2	3		2	B	3
100000	3	2		3	1	1
			1	0	A	1
				1	2	3
				2	1	2
				3	B	0

- Sea un computador con memoria virtual paginada, cada página tiene 1024 palabras, en memoria virtual tiene 8 páginas y la memoria física 4 marcos de página.
 - Indicad el tamaño en bits de la dirección de memoria virtual y de la dirección de memoria física.
 - Si la jerarquía tiene una memoria cache de 1024 palabras de acceso directo con 4 bloques de cache de direcciones virtuales, indicad que tamaño en bits tiene la etiqueta de cache.
 - ¿Qué valores de etiqueta de cache indicarían que algún bloque de la página virtual cero está en cache?

Página virtual	Hit	Marco de página
0	1	3
1	1	1
2	0	0
3	0	0
4	1	2
5	0	0
6	1	0
7	0	0

Rendimiento - Problemas básicos

- Sea un sistema con las siguientes características:

Un procesador con un

- CPI ideal de 1
- 35 % de las instrucciones de acceso a memoria

Una Cache

- 64 kb
- Unificada
- Emplazamiento directo, postescritura, bit sucio y asignación en escritura
- Líneas de 8 bytes
- 25% de las líneas modificadas
- Tasa de fallos =0,021
- Direcciones físicas

Memoria principal

- Latencia de 60 ciclos
- Tasa de transferencia de bloques 4 bytes/ciclo

TLB

- Tasas de fallos 0,03
- Penalización 7 ciclos

- Calcular el CPI real del sistema.
- Calcular el nuevo CPI real suponiendo que al sistema anterior se le añade una cache de segundo nivel con las siguientes características:
 - 1Mb
 - Unificada
 - Asociativa por conjuntos E=2, escritura directa sin asignación en escritura
 - La latencia de acceso a l2 son 20 ciclos.
 - Líneas de 64 bytes
 - Tasa de transferencia con MP 16 bytes/ciclo
 - Tasa de transferencia con L1 4 bytes/ciclo
 - Tasa de fallos local 0,2
 - De las instrucciones que llegan a L2 el 80% son de lectura y el 20% de escritura
 - Además las caches utilizan direccionamiento virtual y los valores de la tasa de fallos y la penalización de la TLB son los mismos
- Indicar cuál de las dos organizaciones es mejor.

Rendimiento - Problemas adicionales

- Sea una memoria principal de 1 M byte de tamaño dividida en bloques de 2 palabras, siendo cada palabra de 1 byte. Sabiendo que el sistema tiene una memoria cache asociativa por conjuntos de 28 bytes con un grado de asociatividad de $E = 4$ y un tiempo de acceso de 10 ns se pide:
 - Nº de bits del bus de direcciones
 - Nº de bloques por conjunto de la memoria cache
 - Formato de las direcciones de memoria cache
 - Calcula el tiempo medio de acceso a memoria y el ancho de banda sabiendo lo siguiente:
 - la tasa de fallos de la Mc es del 3 %,
 - el bus y la memoria son de 1 palabra y el acceso secuencial
 - se tarda 10ns en enviar la dirección, 80 ns en acceder al dato, 10 ns en enviar el dato
 - Para poder implementar memoria virtual suponemos que el procesador genera direcciones de 64 bits. ¿Cuál sería el formato de la dirección virtual si quisiéramos implementar una cache virtualmente accedida físicamente marcada?
- Sea una memoria principal de 264 bytes y una memoria cache de 26 bytes. Sabiendo que la memoria principal tiene unos tiempos de acceso de 150 ns, la memoria cache unos tiempos de acceso de 8 ns y que la MP se divide en 262 bloques, se pide:
 - Formato de la dirección cache para la política de emplazamiento directo.
 - Formato para la política de emplazamiento totalmente asociativo.
 - Formato para la política de emplazamiento asociativa por conjunto sabiendo que es una memoria cache de 4 vías.
 - Tiempo medio de acceso a memoria y ancho de banda sabiendo que la tasa de fallos es del 8%. Suponemos que el bus y la memoria son de 1 byte y el acceso a los datos secuencial, el tiempo que se tarda en enviar la dirección es de 25 ns, el tiempo que se tarda en acceder al dato son 100ns, el tiempo que se tarda en enviar el dato son 25 ns.
 - Tiempo medio de acceso a memoria y ancho de banda sabiendo que la tasa de fallos es del 8%. Suponemos el bus y la memoria son de 4 bytes y el acceso a los datos en paralelo, el tiempo que se tarda en enviar la dirección es de 25 ns, el tiempo que se tarda en acceder al dato son 100ns, el tiempo que se tarda en enviar el dato son 25 ns.
 - Tiempo medio de acceso a memoria y ancho de banda sabiendo que la tasa de fallos es del 8%, la anchura de bus de 1 palabra, la memoria está organizada en 4 módulos de 1 palabra entrelazados. El acceso se realiza en paralelo a los cuatro módulos. El tiempo que se tarda en enviar la dirección es de 25 ns, el tiempo que se tarda en acceder al dato son 100ns, el tiempo que se tarda en enviar el dato son 25 ns.
 - Sabiendo que el tamaño de dirección virtual es el mismo que de dirección real y que una página es de 32k palabras calcular el formato de la dirección virtual.
 - suponiendo que la memoria virtual se implementa mediante una tabla de direcciones directa ¿Cuántas posiciones de memoria se deberían reservar para la tabla suponiendo un proceso de tamaño máximo?
- Sea la siguiente jerarquía de memoria:
 - una memoria cache que tiene unos tiempos de acceso de 20ns , bloques de 8 bytes y una tasa de fallos del 1%;
 - una memoria principal con tiempos de acceso total para 4 bytes de 200ns y una tasa de fallos del 0,001% ;

- el ancho de bus entre mc y mp es de 4 bytes;
- una memoria secundaria con un tiempo promedio de acceso a una posición 1 millón de ns y el tiempo de acceso un byte de 10ns y
- un sistema de memoria virtual paginada con página de 512 bytes.

Se pide:

- a) tiempo de acceso medio a memoria cache
- b) tiempo medio de acceso a la memoria virtual
- c) tiempo medio de acceso de la jerarquía